

#2

Docket No.: 57454-311

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Shunsuke ENDOU

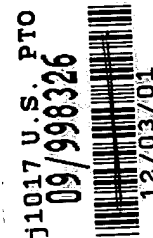
Serial No.:

Group Art Unit:

Filed: December 03, 2001

Examiner:

For: SEMICONDUCTOR DEVICE CAPABLE OF EASILY SETTING TEST MODE
DURING TEST CONDUCTED BY APPLYING HIGH VOLTAGE



**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2001-202047, filed July 3, 2001

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

A handwritten signature in black ink, appearing to read "Becker".

Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:mlw
Date: December 3, 2001
Facsimile: (202) 756-8087

57454-311
Shunsuke ENDOU
December 3, 2001
#2

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 7月 3日

出 願 番 号

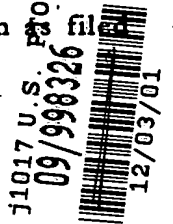
Application Number:

特願2001-202047

出 願 人

Applicant(s):

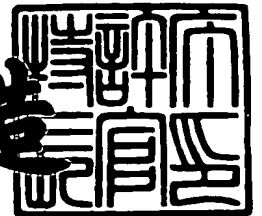
三菱電機株式会社



2001年 7月27日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3067260

【書類名】 特許願

【整理番号】 531356JP01

【提出日】 平成13年 7月 3日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/34

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 遠藤 俊介

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 テストモードと通常モードとを動作モードとして有する半導体装置であって、

テストモード制御回路を備え、

前記テストモード制御回路は、

参照電位と外部から与えられるテストモード設定電位とを比較する第 1 の比較回路と、

前記参照電位が所定の電位より低い場合は前記第 1 の比較回路の出力に応じてテストモードエントリ信号を発生し、前記参照電位が前記所定の電位以上の場合には前記第 1 の比較回路の出力に拘らず前記テストモードエントリ信号を発生するテスト設定制御部と、

前記テスト設定制御部の出力に応じて所定のテスト動作の活性化を示すテストモード信号を出力するテストモード信号出力回路とを含む、半導体装置。

【請求項 2】 外部電源電位を受けて安定化された内部電源電位を発生する内部電源電位発生回路をさらに備え、

前記テスト設定制御部は、

前記参照電位を受けて前記参照電位より低い電位を出力する第 1 の電位降下回路と、

前記電位降下回路の出力を入力信号として受け、前記内部電源電位を動作電源電位として受けるインバータと、

前記インバータの出力と前記第 1 の比較回路との出力に応じて前記テストモードエントリ信号を出力するゲート回路とを有する、請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 の電位降下回路は、

前記参照電位を受けるノードと接地ノードとの間に直列に接続される複数の分圧素子を有し、

前記インバータは、前記複数の分圧素子の接続ノードのいずれか 1 つの電位を

前記入力信号として受ける、請求項 2 に記載の半導体装置。

【請求項 4】 前記第 1 の電位降下回路は、

前記参照電位を受けるノードと接地ノードとの間に直列にダイオード接続される複数の電界効果型トランジスタを有し、

前記複数の電界効果型トランジスタの各々は、バックゲートがソースに接続され、

前記インバータは、前記複数の電界効果型トランジスタの接続ノードのいずれか 1 つの電位を前記入力信号として受ける、請求項 2 に記載の半導体装置。

【請求項 5】 前記参照電位は、前記外部電源電位と等しい、請求項 2 に記載の半導体装置。

【請求項 6】 外部電源電位を受けて安定化された内部電源電位を発生する内部電源電位発生回路をさらに備え、

前記テスト設定制御部は、

前記参照電位を受けて前記参照電位より低い電位を出力する第 1 の電位降下回路と、

前記内部電源電位を受けて前記内部電源電位より低い電位を出力する第 2 の電位降下回路と、

前記第 1、第 2 の電位降下回路の出力を比較する第 2 の比較回路と、

前記第 1、第 2 の比較回路の出力に応じて前記テストモードエントリ信号を出力するゲート回路とを有する、請求項 1 に記載の半導体装置。

【請求項 7】 前記第 1 の電位降下回路は、

前記参照電位を受けるノードと接地ノードとの間に直列に接続される複数の第 1 の分圧素子を有し、

前記第 2 の電位降下回路は、

前記内部電源電位を受けるノードと接地ノードとの間に直列に接続される複数の第 2 の分圧素子を有し、

前記第 2 の比較回路は、前記複数の第 1 の分圧素子の接続ノードのいずれか 1 つの電位と前記複数の第 2 の分圧素子の接続ノードのいずれか 1 つの電位とを比較する、請求項 6 に記載の半導体装置。

【請求項 8】 前記第 1 の電位降下回路は、

前記参照電位を受けるノードと接地ノードとの間に直列にダイオード接続される複数の第 1 の電界効果型トランジスタを有し、

前記複数の第 1 の電界効果型トランジスタの各々は、バックゲートがソースに接続され、

前記第 2 の電位降下回路は、

前記内部電源電位を受けるノードと接地ノードとの間に直列にダイオード接続される複数の第 2 の電界効果型トランジスタを有し、

前記複数の第 2 の電界効果型トランジスタの各々は、バックゲートがソースに接続され、

前記第 2 の比較回路は、前記複数の第 1 の電界効果型トランジスタの接続ノードのいずれか 1 つの電位と前記複数の第 2 の電界効果型トランジスタの接続ノードのいずれか 1 つの電位とを比較する、請求項 6 に記載の半導体装置。

【請求項 9】 前記参照電位は、前記外部電源電位と等しい、請求項 6 に記載の半導体装置。

【請求項 10】 行列状に配列される複数のメモリセルを含むメモリアレイと、

アドレス信号に応じて前記メモリセルの行を選択する行選択回路と、

前記アドレス信号に応じて前記メモリセルの列を選択する列選択回路とをさらに備え、

前記テストモード出力回路は、

前記テストエントリ信号の活性化時に前記アドレス信号をデコードし、前記テストモード信号を出力するゲート回路を有する、請求項 1 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置に関し、より特定的にはテストモードを有する半導体記憶装置におけるテストモードエントリ回路の構成に関する。

【0002】

【従来の技術】

ダイナミックランダムアクセスメモリ（DRAM）の生産工程においては、一般に動作確認のためのテストが行なわれている。テストには、初期不良品の除去をするために高温雰囲気中において高電圧をかける加速試験や、動作マージンの確認試験があるが、これらのテストを行なう際にテスト効率を良くするためDRAMに特殊な動作を行なわせる。このような特殊な動作はテストモードに設定することによって行なわれる。テストモードは、半導体メーカー側が使用するためのものであり、ユーザが使用するためのものではない。

【0003】

テストモードに設定されると、DRAMは特殊な動作を行なう。そこで、ユーザが通常の使用中において誤ってDRAMを設定してしまわないように、テストモードへの設定動作（以下テストモードエントリという）のためにはDRAMに通常の規格範囲内の動作条件以外の条件を与えるようにしている。

【0004】

たとえば、ある一定時間の規格範囲外の高電圧を所定の端子に印加し、テストモードに対応したアドレス信号の組合せ（以降アドレスキーという）を与えることによってテストモードエントリを実現している。

【0005】

従来のテストモードエントリは大部分のテストにおいて高電圧を所定の入力端子に印加することを条件として行なわれていた。すなわち、通常使用範囲外の高電圧をある一定時間DRAMの所定の端子に印加することにより、DRAMにスペックに規定されていない特殊動作（テストモード動作）をさせることができる。

【0006】

図12は、従来のDRAMにおけるテストモードエントリに関する構成を示した回路図である。

【0007】

図12を参照して、従来のDRAMは、信号SVIHと外部電源電位EXVDとを受けて信号SVIHのレベルが所定の高電位を超えたか否かを比較して比

較結果を示す信号BAOSを出力するSVIH比較回路552と、信号BAOS、A7、MRSがすべてHレベルのときにアドレスキー信号であるアドレスビットA0～Anの所定の組合せを受けてテストモード信号TMmを出力するテストモード信号出力回路560とを含む。

【0008】

テストモード信号出力回路560は、信号BAOS、A7、MRSを受けるNAND回路574と、アドレスビットA0～Anの所定の組合せによって与えられるアドレスキー信号を受けるNAND回路576と、NAND回路574、576の出力を受けてテストモード信号TMmを出力するNAND回路578とを含む。

【0009】

すなわち、個々のテストモードに設定する条件としてSVIH比較回路552が出力する信号BAOSが使用されている。信号SVIHが所定の高電位に活性化されると、SVIH比較回路552は信号BAOSをHレベルに活性化する。すると、テストモード信号出力回路560はアドレスキーを受付けることが可能となる。

【0010】

一方、信号SVIHが所定の高電位以下であり、活性化状態にない場合には、SVIH比較回路552は信号BAOSを活性化しないので、テストモード信号出力回路560はテストモード信号TMmを活性化させることはない。

【0011】

【発明が解決しようとする課題】

図13は、従来のDRAMのテストモードへの設定動作を説明するための動作波形図である。

【0012】

図13を参照して、時刻t1においてクロック信号CLKの立上がりにおいて制御信号の組合せによってモードレジスタセットコマンドMRSが与えられ、かつ信号SVIHが高電位に活性化されている場合には、アドレスキーを所定の組合せにすることによりテストモード状態への設定が行なわれる。

【0013】

ここで、テストモード状態とは、モードレジスタセットコマンドが入力され、かつ、信号SVIHが所定の高電位に活性化された場合に個々の動作テストを実行するテストモードを受付ける状態である。

【0014】

続いて、時刻t2において再びモードレジスタセットコマンドが与えられ、かつ、信号SVIHが高電位に活性化されテストAに対応するアドレスキーが与えられると、DRAMはテストAにエントリする。

【0015】

さらにテストAに加えてテストBも実行したい場合には、時刻t3において再びモードレジスタセットコマンドが与えられ、信号SVIHが高電位に活性化されるとアドレスキーによってテストBにエントリすることができる。

【0016】

一般に、個々のテストモードは組合わせて使う場合が多く、このようにタイミングをずらして複数のテストモードに順番に設定していく場合が多い。複数のテストモードを順番に設定することによってより複雑なテストを行ったり、複数のテストを同時に行なうことができる。

【0017】

しかし、図13において、時刻t2においてテストAを実行するためにテストモードに設定したとして、テストAでは電源電圧を高電圧に設定してテストする必要があったとする。このとき、時刻t3において信号SVIHを高電位に活性化する際に問題が生ずる。

【0018】

すなわち、信号SVIHの状態が高電位の活性化状態にあることをDRAMに認識させるため図12に示したようなSVIH比較回路552を備えているが、比較対象は、外部から与えられる電圧たとえば外部電源電位EXVDDであり、テスト内容によっては、比較対象の電圧が高い状態でテストされている場合がある。時刻t3において電源電圧が高い状態であったとすると、非常に高い活性化電位に信号SVIHを設定するか、または、一旦比較対象である外部電源電位E

XVDDを下げるなければいけない。

【0019】

しかし、設計時に想定された以上に高い電位を信号SVIHとして印加することは、チップ内の回路に負担をかけ、チップの信頼性を損なう可能性がある。また、一時的に比較対象の電圧を下げることはテスト時間を延ばすことになる。たとえば電源電圧を変更する場合には、テスト装置は通常の波形を変化させるよりも多くの時間を要する。したがって、テスト効率を下げることになる。

【0020】

たとえば、加速試験などのように、電源電圧を高くして行なうテストでは、信号SVIHと比較する対象の電圧が高くなってしまうため、そのままの状態では信号SVIHの活性化を認識させるためには、端子に非常に高い電圧を印加させなければならなかった。このように非常に高い電圧を端子に与えるのはテストを行なう過程でチップの信頼性を損なうおそれがあるので、テストBに設定する場合に内部電圧を一時的に下げてテストエントリし、再び内部電圧を上げるといった動作を行っていた。しかし、テスト装置によっては、電圧を変化させる時間がテスト時間に大きな影響を及ぼし、テスト効率を下げる要因ともなる。

【0021】

この発明の目的は、ユーザ側で誤ってテストモードに入る可能性を抑えつつ、メーカー側でより効率的にテストが行なえるテストモードエントリ回路を備えた半導体装置を提供することである。

【0022】

【課題を解決するための手段】

請求項1に記載の半導体装置は、テストモードと通常モードとを動作モードとして有する半導体装置であって、テストモード制御回路を備え、テストモード制御回路は、参照電位と外部から与えられるテストモード設定電位とを比較する第1の比較回路と、参照電位が所定の電位より低い場合は第1の比較回路の出力に応じてテストモードエントリ信号を発生し、参照電位が所定の電位以上の場合は第1の比較回路の出力に拘らずテストモードエントリ信号を発生するテスト設定制御部と、テスト設定制御部の出力に応じて所定のテスト動作の活性化を示すテ

ストモード信号を出力するテストモード信号出力回路とを含む。

【0023】

請求項2に記載の半導体装置は、請求項1に記載の半導体装置の構成に加えて、外部電源電位を受けて安定化された内部電源電位を発生する内部電源電位発生回路をさらに備え、テスト設定制御部は、参照電位を受けて参照電位より低い電位を出力する第1の電位降下回路と、電位降下回路の出力を入力信号として受け、内部電源電位を動作電源電位として受けるインバータと、インバータの出力と第1の比較回路との出力に応じてテストモードエントリ信号を出力するゲート回路とを有する。

【0024】

請求項3に記載の半導体装置は、請求項2に記載の半導体装置の構成に加えて、第1の電位降下回路は、参照電位を受けるノードと接地ノードとの間に直列に接続される複数の分圧素子を有し、インバータは、複数の分圧素子の接続ノードのいずれか1つの電位を入力信号として受ける。

【0025】

請求項4に記載の半導体装置は、請求項2に記載の半導体装置の構成に加えて、第1の電位降下回路は、参照電位を受けるノードと接地ノードとの間に直列にダイオード接続される複数の電界効果型トランジスタを有し、複数の電界効果型トランジスタの各々は、バックゲートがソースに接続され、インバータは、複数の電界効果型トランジスタの接続ノードのいずれか1つの電位を入力信号として受ける。

【0026】

請求項5に記載の半導体装置は、請求項2に記載の半導体装置の構成に加えて、参照電位は、外部電源電位と等しい。

【0027】

請求項6に記載の半導体装置は、請求項1に記載の半導体装置の構成に加えて、外部電源電位を受けて安定化された内部電源電位を発生する内部電源電位発生回路をさらに備え、テスト設定制御部は、参照電位を受けて参照電位より低い電位を出力する第1の電位降下回路と、内部電源電位を受けて内部電源電位より低

い電位を出力する第2の電位降下回路と、第1、第2の電位降下回路の出力を比較する第2の比較回路と、第1、第2の比較回路の出力に応じてテストモードエントリ信号を出力するゲート回路とを有する。

【0028】

請求項7に記載の半導体装置は、請求項6に記載の半導体装置の構成に加えて、第1の電位降下回路は、参照電位を受けるノードと接地ノードとの間に直列に接続される複数の第1の分圧素子を有し、第2の電位降下回路は、内部電源電位を受けるノードと接地ノードとの間に直列に接続される複数の第2の分圧素子を有し、第2の比較回路は、複数の第1の分圧素子の接続ノードのいずれか1つの電位と複数の第2の分圧素子の接続ノードのいずれか1つの電位とを比較する。

【0029】

請求項8に記載の半導体装置は、請求項6に記載の半導体装置の構成に加えて、第1の電位降下回路は、参照電位を受けるノードと接地ノードとの間に直列にダイオード接続される複数の第1の電界効果型トランジスタを有し、複数の第1の電界効果型トランジスタの各々は、バックゲートがソースに接続され、第2の電位降下回路は、内部電源電位を受けるノードと接地ノードとの間に直列にダイオード接続される複数の第2の電界効果型トランジスタを有し、複数の第2の電界効果型トランジスタの各々は、バックゲートがソースに接続され、第2の比較回路は、複数の第1の電界効果型トランジスタの接続ノードのいずれか1つの電位と複数の第2の電界効果型トランジスタの接続ノードのいずれか1つの電位とを比較する。

【0030】

請求項9に記載の半導体装置は、請求項6に記載の半導体装置の構成に加えて、参照電位は、外部電源電位と等しい。

【0031】

請求項10に記載の半導体装置は、請求項1に記載の半導体装置の構成に加えて、行列状に配列される複数のメモリセルを含むメモリアレイと、アドレス信号に応じてメモリセルの行を選択する行選択回路と、アドレス信号に応じてメモリセルの列を選択する列選択回路とをさらに備え、テストモード出力回路は、テス

トエントリ信号の活性化時にアドレス信号をデコードし、テストモード信号を出力するゲート回路を有する。

【 0 0 3 2 】

【発明の実施の形態】

以下において、本発明の実施の形態について図面を参照して詳しく説明する。
なお、図中同一符号は同一または相当部分を示す。

【 0 0 3 3 】

【実施の形態 1】

図 1 は、本発明の実施の形態 1 の半導体装置 1 の構成を示す概略ブロック図である。

【 0 0 3 4 】

図 1 を参照して、半導体装置 1 は、各々が行列状に配列される複数のメモリセルを有するメモリセルアレイ 1 4 と、外部から与えられるアドレス信号 $A_0 \sim A_n$ を取込むロウアドレスバッファ 4、コラムアドレスバッファ 5 と、外部からクロック信号 CLK を受けて半導体装置内部で用いられる内部クロック信号出力するクロックバッファ 3 7 と、外部から与えられる制御信号 \overline{RAS} 、 \overline{CAS} 、 \overline{WE} をそれぞれ内部クロック信号に同期して取込む \overline{RAS} バッファ 3 2、 \overline{CAS} バッファ 3 4、 \overline{WE} バッファ 3 6 を含む。

【 0 0 3 5 】

メモリセルアレイ 1 4 には、メモリセルの行に対応する 1 つのワード線 WL 、メモリセルの列に対応する 1 つのビット線 BL およびワード線 WL とビット線 BL の交点に対応して設けられる 1 つのメモリセルが代表的に示されている。

【 0 0 3 6 】

半導体装置 1 は、さらに、アドレス信号 $A_0 \sim A_n$ を受け、かつ、 \overline{RAS} バッファ 3 2、 \overline{CAS} バッファ 3 4、 \overline{WE} バッファ 3 6 からクロック信号に同期化された制御信号 $int. RAS$ 、 $int. CAS$ 、 $int. WE$ を受けて各ブロックにコマンド信号 $COMMAND$ およびテストモード信号 TM_m を含む制御信号を出力するテストモード制御回路 8 と、テストモード制御回路 8 で認識された動作モードを保持するモードレジスタ 9 とを含む。

【0037】

テストモード制御回路8は、内部バンクアドレス信号 *int*. *BA0* をデコードする図示しないバンクアドレスデコーダと制御信号 *int*. *RAS*、*int*. *CAS*、*int*. *WE* を受けてデコードする図示しないコマンドデコーダとを含んでいる。

【0038】

半導体装置1は、さらに、ロウアドレスバッファ4の出力および/*RAS* バッファ32の出力する信号 *Z RASE* を受けてメモリセルアレイ14の行を特定するアドレス信号 *X-Address* を出力するロウ制御回路41と、アドレス信号 *X-Address* に応じてメモリセルアレイの行選択を行なうロウデコーダ10と、コラムアドレスバッファ5の出力および/*CAS* バッファ32の出力を受けてメモリセルアレイ14の列を特定するアドレス信号 *Y-Address* を出力するコラム制御回路42と、アドレス信号 *Y-Address* に応じてメモリセルアレイの列選択を行なうコラムデコーダ12とを含む。

【0039】

半導体装置1は、さらに、メモリセルアレイ14の選択行に接続されるメモリセルのデータの検知および増幅を行なうセンスアンプ16と、*I/O* 線を介して選択されたメモリセルとデータを授受するデータ入出力回路17とを含む。

【0040】

データ入出力回路17は、データ入出力端子から書込データを受けるデータ入力バッファ22と、書込データを増幅して選択メモリセルへ伝達するライトドライバと、選択メモリセルから読出されたデータを増幅するプリアンプと、プリアンプの出力に応じてデータ入出力端子を駆動するデータ出力バッファ20とを含む。

【0041】

半導体装置1は、さらに、/*WE* バッファ36の出力に応じてライトドライバ19を活性化させる書込制御回路38を含む。

【0042】

図2は、図1におけるテストモード制御回路8のテスト制御に関する構成を示

したブロック図である。

【0043】

図2を参照して、テストモード制御回路8は、バンクアドレス信号BA0が与えられる端子を介して入力される信号SVIHの活性化を比較動作によって検出するSVIH比較回路52と、制御信号int. RAS, int. CAS, int. WEの組合せに応じてモードレジスタセットコマンドを検出して信号MRSを出力するMRS発生回路54と、信号BA0S, MRSおよびアドレス信号ビットA0～Anの組合せによって与えられるアドレスキーに応じてテストモード信号TMmを出力するテストモード信号発生回路56とを含む。

【0044】

図3は、テストモード信号発生回路56の構成を示した回路図である。

図3を参照して、SVIH比較回路52にはバンクアドレスBA0が与えられる端子を介して与えられる信号SVIHと外部電源電位EXVDDとを受けて両者の比較を行ない信号BA0Sを出力する。

【0045】

テストモード信号発生回路56は、信号BA0Sおよび外部電源電位EXVDDに応じて信号TENTを出力するテスト設定制御部58と、信号TENT, A7, MRSおよびアドレスキーに応じてテストモード信号TMmを出力するテストモード信号出力回路60とを含む。

【0046】

テスト設定制御部58は、外部電源電位EXVDDが与えられるノードから接地ノードに向けて直列にダイオード接続されるPチャネルMOSトランジスタ62～66を含む。

【0047】

直列に接続されるPチャネルMOSトランジスタ62, 64の接続ノードをノードN1とする。直列に接続されるPチャネルMOSトランジスタ64, 66の接続ノードをノードN2とする。

【0048】

PチャネルMOSトランジスタ62のバックゲートは外部電源電位EXVDD

が与えられるノードに接続される。PチャネルMOSトランジスタ62のゲートはノードN1に接続される。

【0049】

PチャネルMOSトランジスタ64のバックゲートはノードN1に接続される。PチャネルMOSトランジスタ64のゲートはノードN2に接続される。

【0050】

PチャネルMOSトランジスタ66のバックゲートはノードN2に接続される。PチャネルMOSトランジスタ66のゲートは接地ノードに接続される。

【0051】

テスト設定制御部58は、さらに、入力がノードN1に接続されるインバータ68と、インバータ68の出力を受けて反転し、信号TE1を出力するインバータ70と、信号BAOS, TE1を受けて信号TENTを出力するOR回路72とを含む。

【0052】

テストモード信号出力回路60は、信号TENT, A7, MRSを受けるNAND回路74と、アドレスキーの所定の組合せを受けるNAND回路76と、NAND回路74, 76の出力を受けてテストモード信号TMmを出力するNAND回路78とを含む。

【0053】

図4は、図3におけるSVIH比較回路52の構成を示した回路図である。

図4を参照して、SVIH比較回路52は、信号SVIHを受けて降圧させ信号1/3SVIHを出力する電位降下回路82と、外部電源電位EXVDDを受けて降圧させ信号1/2EXVDDを出力する電位降下回路84と、信号1/3SVIH, 1/2EXVDDを比較して比較結果信号BAOSを出力する比較回路86とを含む。

【0054】

電位降下回路82は、信号SVIHが与えられるノードにソースとバックゲートとが接続されノードN3にゲートとドレインとが接続されるPチャネルMOSトランジスタ92と、ノードN3にソースとバックゲートとが接続されノードN

4にゲートとドレインとが接続されるPチャネルMOSトランジスタ94と、ノードN4にソースとバックゲートとが接続され接地ノードにゲートとドレインとが接続されるPチャネルMOSトランジスタ96とを含む。ノードN4からは信号1/3SVIHが出力される。

【0055】

電位降下回路84は、外部電源電位EXVDDが与えられるノードにソースとバックゲートとが接続されノードN5にゲートとドレインとが接続されるPチャネルMOSトランジスタ98と、ノードN5にソースとバックゲートとが接続され接地ノードにゲートとドレインとが接続されるPチャネルMOSトランジスタ100とを含む。ノードN5からは信号1/2EXVDDが出力される。

【0056】

比較回路86は、外部電源電位EXVDDが与えられるノードにソースとバックゲートとが接続されノードN6にゲートとドレインとが接続されるPチャネルMOSトランジスタ102と、ノードN6と接地ノードとの間に接続されゲートに信号1/3SVIHを受けるNチャネルMOSトランジスタ104と、外部電源電位EXVDDが与えられるノードにソースとバックゲートとが接続されノードN6にゲートが接続されノードN7にドレインが接続されるPチャネルMOSトランジスタ106と、ノードN7と接地ノードとの間に接続されゲートに信号1/2EXVDDを受けるNチャネルMOSトランジスタ108とを含む。

【0057】

なお、図4では、電位降下回路の例として信号SVIHを3分の1に分圧し、外部電源電位EXVDDを2分の1に分圧する回路を示したが、信号SVIHの電位および外部電源電位EXVDDの分圧比は、テストモードに設定する際の動作条件に応じて決定される。

【0058】

図5は、図3に示したテスト設定制御部58において外部電源電位EXVDDと信号TE1の関係を示した図である。

【0059】

図6は、図5に対応する電圧をプロットしたグラフである。

図5、図6を参照して、図3に示すPチャネルMOSトランジスタ62、64、66のオン抵抗によってノードN1の電位は外部電源電位EXVDDの3分の1の電位となる。ここで、インバータ68のしきい値電圧を1.25V付近に設定している場合について示す。インバータ68は、図1の電圧発生回路40から周辺回路用の電源電位VDDpを受けている。電源電位VDDpは、電圧発生回路40によって安定化されている。したがって、規格範囲を超えて外部電源電位EXVDDが変動した場合においてもほぼ一定の電位を保つことができる。

【0060】

まず外部電源電位EXVDDが0Vであるときには、ノードN1の電位は0Vであり、出力信号TE1のレベルは0Vである。

【0061】

外部電源電位EXVDDが1.5Vであるときには、ノードN1の電位は0.5Vであり、出力信号TE1のレベルは0Vである。

【0062】

外部電源電位EXVDDが3.0Vであるときには、ノードN1の電位は1Vであり、出力信号TE1のレベルは0Vである。

【0063】

外部電源電位EXVDDが4.5Vであるときには、ノードN1の電位は1.5Vとなる。するとインバータ68のしきい値電圧を超えるため、出力信号TE1はHレベルである2.5Vとなる。

【0064】

外部電源電位EXVDDが6.0Vであるときには、ノードN1の電位は2Vであり、この場合も同様にインバータ68のしきい値電圧を超えているため出力信号TE1はHレベルである2.5Vとなる。

【0065】

図7は、実施の形態1のテストエントリ動作を説明するための動作波形図である。

【0066】

図7を参照して、時刻t1においてクロック信号CLKの立上がりエッジにお

いてモードレジスタコマンドが与えられ、かつ、信号SVIHが所定の高電位に活性化されると、図3の信号BAOSが活性化される。すると、アドレスキーに応じてテストモードエントリ動作、すなわち個別のテストモードに設定が可能な状態となる。

【0067】

時刻t2においてクロック信号CLKの立上がりにおいてモードレジスタセットコマンドが与えられ、かつ、信号SVIHが所定の高電位に設定されるとアドレスキーの組合せによってテストAにエントリすることができる。

【0068】

テストAは高電圧でテストを行なうテストであり、このため外部電源電位EXVDDが通常の動作規格範囲外の高いレベルに引き上げられ所定のテストが行なわれる。

【0069】

続いて、時刻t3においてクロック信号CLKの立上がりにおいてモードレジスタセットコマンドが与えられると、外部電源電位EXVDDが通常の動作規格範囲外の高いレベルである場合には、図3のTE1が活性化されている。したがって、信号SVIHとして高電位と認識される電位を与えなくても、モードレジスタセットコマンドとアドレスキーとによってテストBにエントリすることができる。

【0070】

ただし、このときインバータ68のしきい値は、ある程度高いレベルにしておくよう調整が必要である。これは、信号SVIHのレベルにかかわらず、信号TENTが活性化されるので、少なくとも外部電源電位EXVDDが通常動作規格範囲外の高いレベルのときにのみインバータ68のしきい値を超えるようにしておく必要があるからである。

【0071】

以上説明したように、SVIH比較回路に与えられる比較の基準となる参照電位、例えば外部電源電位が非常に高くなるような状況では、信号SVIHのレベルにかかわらず信号TENTが出力されSVIH比較回路52が信号SVIHが

高電位にあると認識したことと同じになる。

【0072】

したがって、従来ならば高電圧を印加するテストや内部電圧を高くするようなテストを実行している場合のように、非常に高い電圧のSVIH信号を印加しなければ他のテストモードの設定ができないような状況下においても、本発明の実施の形態1によれば信号SVIHにかかわらずテストモードに設定できるので、テストの容易化およびテストの効率化を行なうことができる。

【0073】

〔実施の形態2〕

実施の形態2の半導体装置は、実施の形態1の半導体装置の構成において、図3のテストモード信号発生回路56に代えてテストモード信号発生回路110を含む。

【0074】

図8は、実施の形態2のテストモード信号発生回路110の構成を示した回路図である。

【0075】

図8を参照して、テストモード信号発生回路110は、SVIH比較回路52が出力する信号BAOS、外部電源電位EXVDD、電源電位VPPに応じてテストモード信号TMmを出力する。

【0076】

テストモード信号発生回路110は、図3に示したテストモード信号発生回路56の構成においてテスト設定制御部58に代えてテスト設定制御部112を含む。

【0077】

テスト設定制御部112は、電源電位VPPと外部電源電位EXVDDとに応じて信号TE2を出力する比較回路114と、信号BAOS、TE2を受けて信号TENTを出力するOR回路116とを含む。

【0078】

すなわち、信号SVIHに対しての比較基準電圧を外部電源電位EXVDDと

し、外部電源電位 $EXVDD$ に対しての基準比較電位を電源電位 VPP とする。電源電位 VPP は、図 1 に示した電圧発生回路 40 によって内部で発生される安定化された電位である。したがって外部電源電位 $EXVDD$ が変動した場合においても電源電位 VPP は一定の電位を保持する。

【0079】

外部電源電位 $EXVDD$ が電源電位 VPP に対してある決められた相対関係よりも高い電位であれば、比較回路 114 は H レベルを出力する。この場合には $SVIH$ 比較回路 52 の出力にかかわらずテストモードの設定が可能となる。

【0080】

図 9 は、図 8 における比較回路 114 の構成を示した回路図である。

図 9 を参照して、比較回路 114 は、外部電源電位 $EXVDD$ を受けて降圧させ信号 1/3 $EXVDD$ を出力する電位降下回路 122 と、電源電位 VPP を受けて降圧させ信号 1/2 VPP を出力する電位降下回路 124 と、信号 1/3 $EXVDD$, 1/2 VPP を比較して比較結果信号 $TE2$ を出力する比較回路 126 とを含む。

【0081】

電位降下回路 122 は、外部電源電位 $EXVDD$ が与えられるノードにソースとバックゲートとが接続されノード $N13$ にゲートとドレインとが接続される P チャネル MOS トランジスタ 132 と、ノード $N13$ にソースとバックゲートとが接続されノード $N14$ にゲートとドレインとが接続される P チャネル MOS トランジスタ 134 と、ノード $N14$ にソースとバックゲートとが接続され接地ノードにゲートとドレインとが接続される P チャネル MOS トランジスタ 136 とを含む。ノード $N14$ からは信号 1/3 $EXVDD$ が出力される。

【0082】

電位降下回路 124 は、電源電位 VPP が与えられるノードにソースとバックゲートとが接続されノード $N15$ にゲートとドレインとが接続される P チャネル MOS トランジスタ 138 と、ノード $N15$ にソースとバックゲートとが接続され接地ノードにゲートとドレインとが接続される P チャネル MOS トランジスタ 140 とを含む。ノード $N15$ からは信号 1/2 VPP が出力される。

【0083】

比較回路126は、電源ノードにソースとバックゲートとが接続されノードN16にゲートとドレインとが接続されるPチャネルMOSトランジスタ142と、ノードN16と接地ノードとの間に接続されゲートに信号1/3 EXVDDを受けるNチャネルMOSトランジスタ144と、電源ノードにソースとバックゲートとが接続されノードN16にゲートが接続されノードN17にドレインが接続されるPチャネルMOSトランジスタ146と、ノードN17と接地ノードとの間に接続されゲートに信号1/2 VPPを受けるNチャネルMOSトランジスタ148とを含む。

【0084】

なお、図9では、電位降下回路の例として外部電源電位EXVDDを3分の1に分圧し、電源電位VPPを2分の1に分圧する回路を示したが、外部電源電位EXVDDおよび電源電位VPPの分圧比は、テストモードに設定する際の動作条件に応じて決定される。

【0085】

図10は、外部電源電位EXVDDが変化した場合の図9の代表的なノードのレベルを示した図である。

【0086】

図11は、図10に対応する電圧をプロットしたグラフである。

図10、図11を参照して、外部電源電位EXVDDが0Vであるときには、電源電位VPP、信号TE2、信号1/3 EXVDD、1/2 VPPはすべて0Vである。

【0087】

外部電源電位EXVDDが1.5Vになると、電源電位VPP、信号TE2、1/3 EXVDD、1/2 VPPはそれぞれ1.5V、0V、0.5V、0.75Vとなる。

【0088】

外部電源電位EXVDDが3.0Vとなると、電源電位VPP、信号TE2、1/3 EXVDD、1/2 VPPはそれぞれ3.4V、0V、1V、1.7Vと

なる。

【0089】

外部電源電位 $EXVDD$ が 4.5 V の場合には、電源電位 VPP 、信号 $TE2$ 、 $1/3 EXVDD$ 、 $1/2 VPP$ はそれぞれ 3.4 V、0 V、1.5 V、1.7 V となる。

【0090】

外部電源電位 $EXVDD$ が 6.0 V の場合には、電源電位 VPP は 3.4 V であり、 $1/2 VPP$ は 1.7 V である。信号 $1/3 EXVDD$ は 2 V となるので、信号 $1/2 VPP$ より大きくなることになる。したがって比較回路 126 の出力信号 $TE2$ は H レベルである 2.5 V を出力する。すなわち外部電源電位 $EXVDD$ が 6.0 V である場合には、信号 $TE2$ が H レベルに設定されるので、信号 $SVIH$ を高電位に設定しなくてもテストモードへの設定が可能となる。

【0091】

なお、図 9 の回路は、例として外部電源電位 $EXVDD$ の 3 分の 1 の電位と電源電位 VPP の 2 分の 1 の電位を比較しているが、この分圧比は使用状況に応じて設計時に変更して用いられる。

【0092】

この分圧比の場合に、外部電源電位 $EXVDD$ が十分に大きな場合には、信号 $1/2 VPP$ は、外部電源電位 $EXVDD$ によらず一定であり約 1.7 V である。これに対して外部電源電位 $EXVDD$ が変化していった場合に、

$$1/3 EXVDD > 1/2 VPP$$

の関係すなわち外部電源電位 $EXVDD$ が 5.1 V よりも大きくなった場合に信号 $TE2$ が H レベルに活性化される。

【0093】

以上説明したように、実施の形態 2 の半導体装置においても、高電圧を印加するテストの最中や、内部電圧を高くするテストの最中においても、信号 $SVIH$ を非常に高い電圧に設定する必要がなく、他のテストモードへの設定が可能となり、テストの容易化およびテストの効率化をすることができる。

【0094】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0095】

【発明の効果】

請求項1に記載の半導体装置は、テスト条件によって参照電位が高くなってしまう場合に、テストモードの設定を容易に行なうことができ、テストを効率よく行なうことができる。

【0096】

請求項2～4に記載の半導体装置は、請求項1に記載の半導体装置の奏する効果に加えて、内部安定化電位を電源電位とするインバータによって参照電位が高くなっていることを認識することができる。

【0097】

請求項5に記載の半導体装置は、請求項2に記載の半導体装置の奏する効果に加えて、参照電位が外部電源電位と等しい場合において、テストモードの設定を容易に行なうことができる。

【0098】

請求項6～8に記載の半導体装置は、請求項1に記載の半導体装置の奏する効果に加えて、第2の比較回路によって参照電位が高くなっていることを認識することができる。

【0099】

請求項9に記載の半導体装置は、請求項6に記載の半導体装置の奏する効果に加えて、参照電位が外部電源電位と等しい場合において、テストモードの設定を容易に行なうことができる。

【0100】

請求項10に記載の半導体装置は、請求項1に記載の半導体装置の奏する効果に加えて、メモリアレイのアドレス信号を用いてテストモードを選択することができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 の半導体装置 1 の構成を示す概略ブロック図である。

【図 2】 図 1 におけるテストモード制御回路 8 のテスト制御に関する構成を示したブロック図である。

【図 3】 テストモード信号発生回路 5 6 の構成を示した回路図である。

【図 4】 図 3 における S V I H 比較回路 5 2 の構成を示した回路図である。

【図 5】 図 3 に示したテスト設定制御部 5 8 において外部電源電位 E X V D D と信号 T E 1 の関係を示した図である。

【図 6】 図 5 に対応する電圧をプロットしたグラフである。

【図 7】 実施の形態 1 のテストエントリ動作を説明するための動作波形図である。

【図 8】 実施の形態 2 のテストモード信号発生回路 1 1 0 の構成を示した回路図である。

【図 9】 図 8 における比較回路 1 1 4 の構成を示した回路図である。

【図 1 0】 外部電源電位 E X V D D が変化した場合の図 9 の代表的なノードのレベルを示した図である。

【図 1 1】 図 1 0 に対応する電圧をプロットしたグラフである。

【図 1 2】 従来の D R A M におけるテストモードエントリに関する構成を示した回路図である。

【図 1 3】 従来の D R A M のテストモードへの設定動作を説明するための動作波形図である。

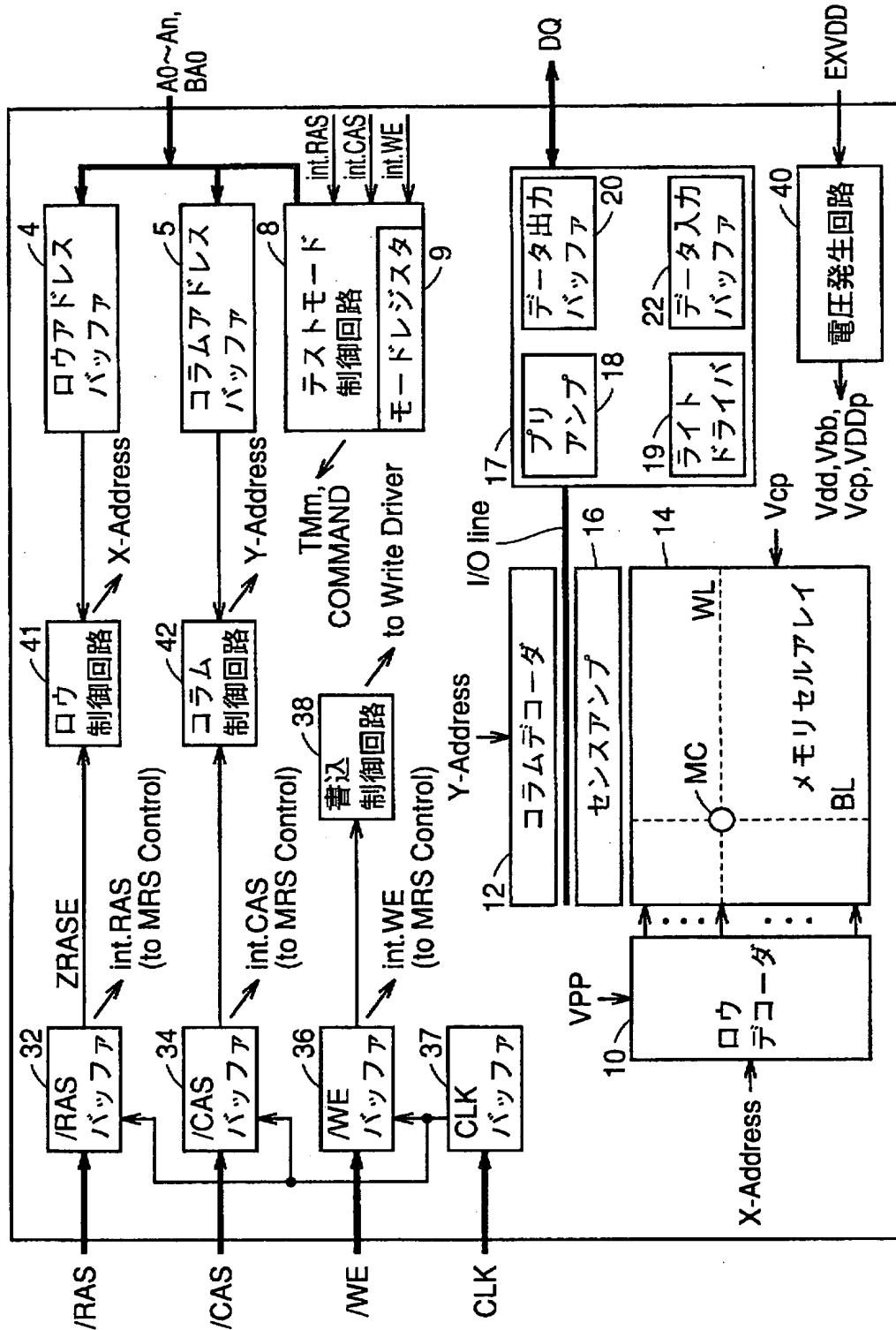
【符号の説明】

1 半導体装置、4 ロウアドレスバッファ、5 コラムアドレスバッファ、8 テストモード制御回路、9 モードレジスタ、1 0 ロウデコーダ、1 2 コラムデコーダ、1 4 メモリセルアレイ、1 6 センスアンプ、1 7 データ入出力回路、1 9 ライトドライバ、2 0 データ出力バッファ、2 2 データ入力バッファ、3 2 / R A S バッファ、3 4 / C A S バッファ、3 6 / W

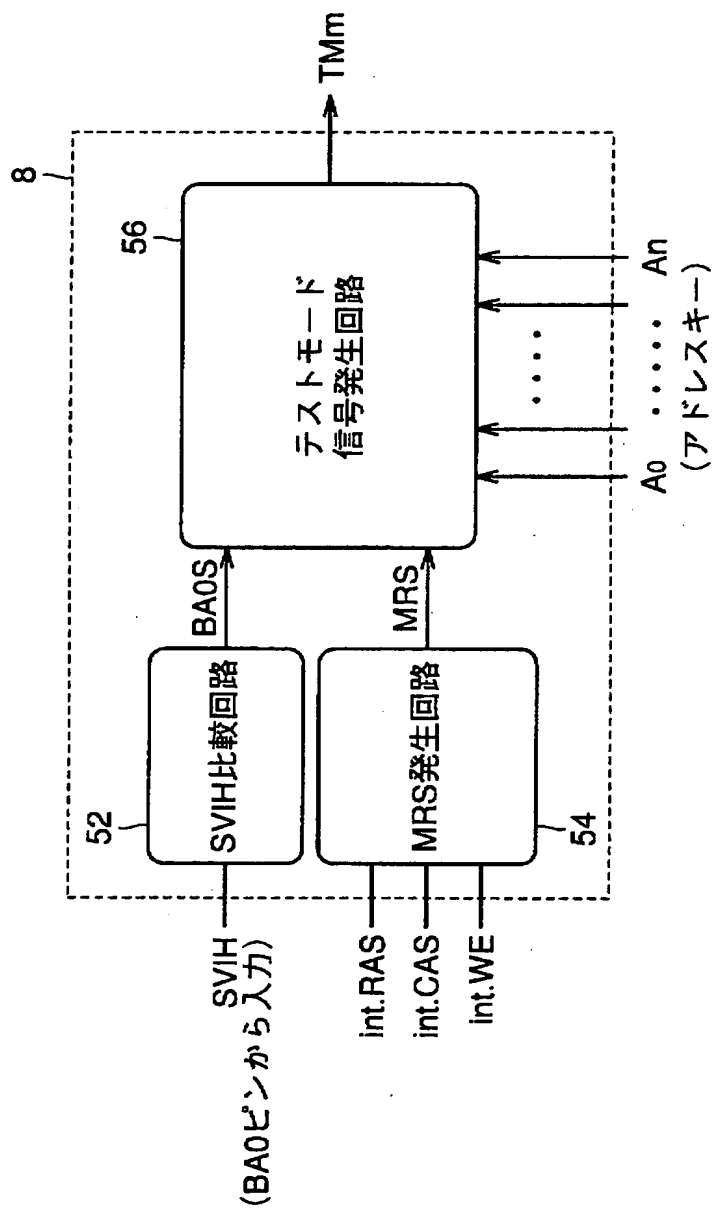
Eバッファ、37 クロックバッファ、38 書込制御回路、40 電圧発生回路、41 ロウ制御回路、42 コラム制御回路、52 SVIH比較回路、54 MRS発生回路、56, 110 テストモード信号発生回路、58, 112 テスト設定制御部、60 テストモード信号出力回路、62~66, 92~100, 102, 106, 132~140, 142, 146 PチャネルMOSトランジスタ、68, 70 インバータ、72, 116 OR回路、74, 76, 78 NAND回路、82, 84, 122, 124 電位降下回路、86, 114, 126 比較回路、104, 108, 144, 148 NチャネルMOSトランジスタ。

【書類名】 図面

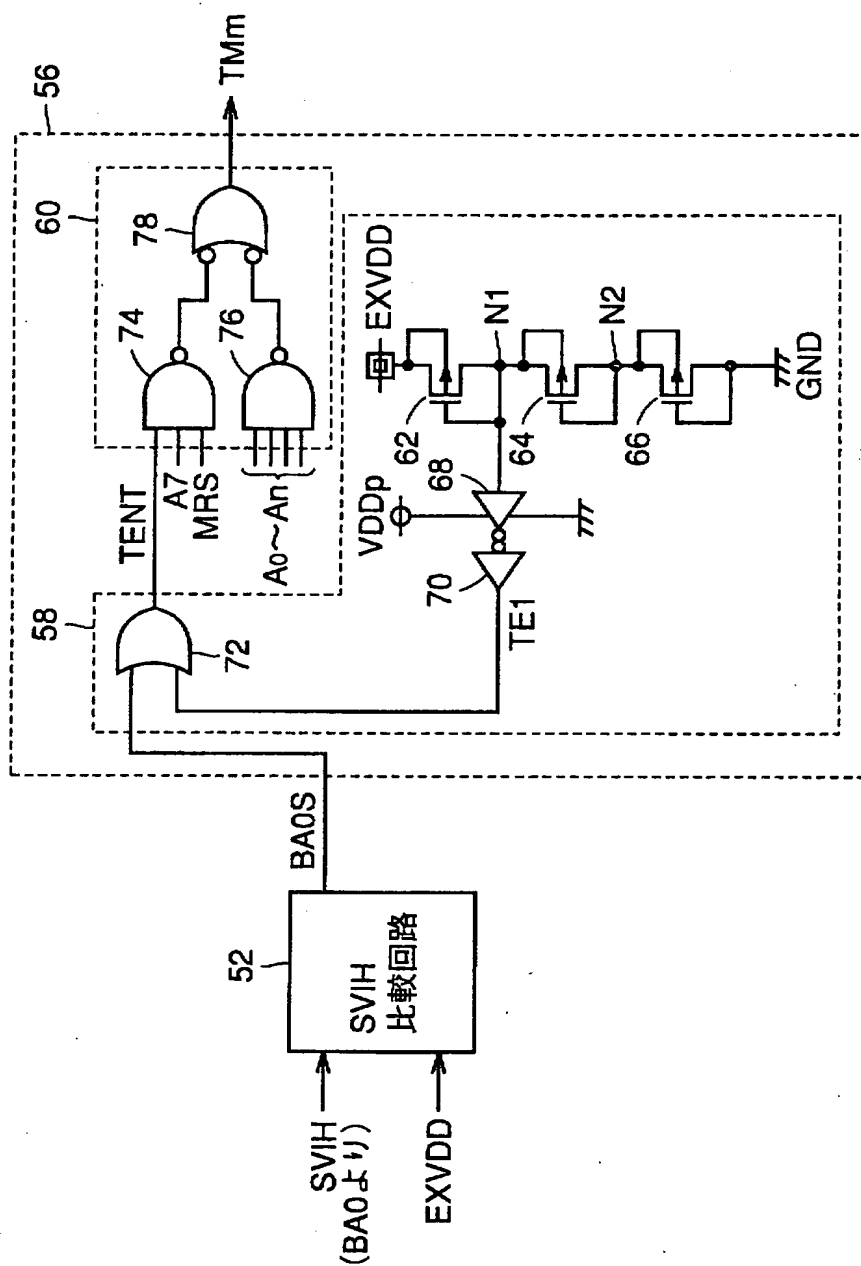
【図 1】



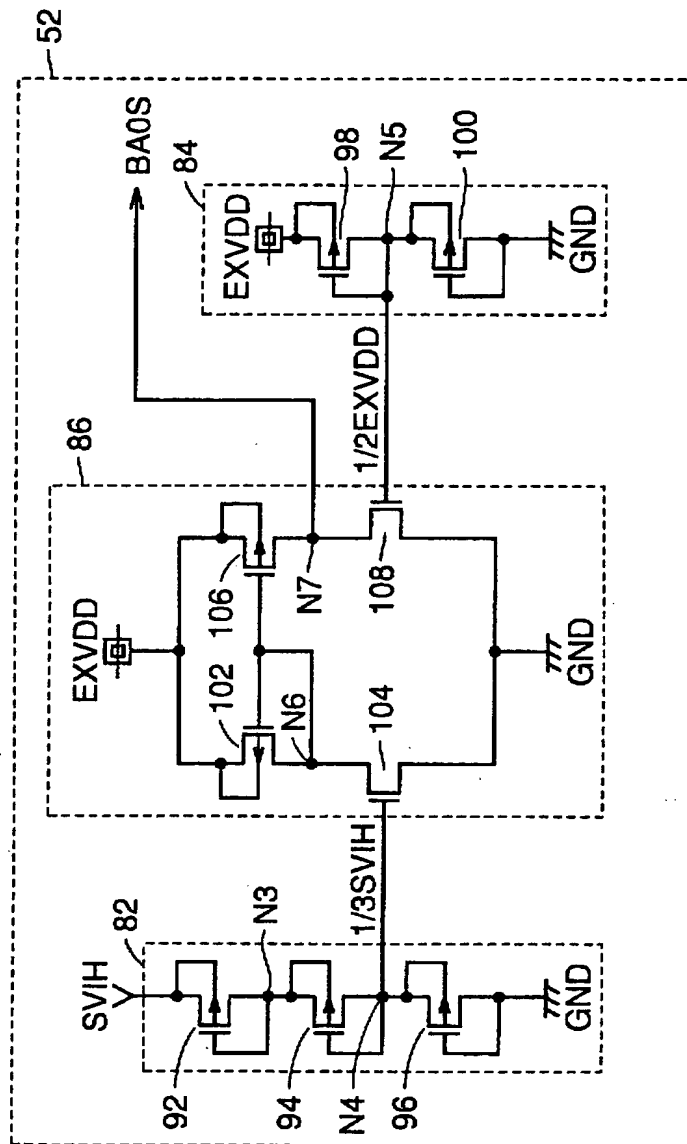
【図 2】



【図 3】



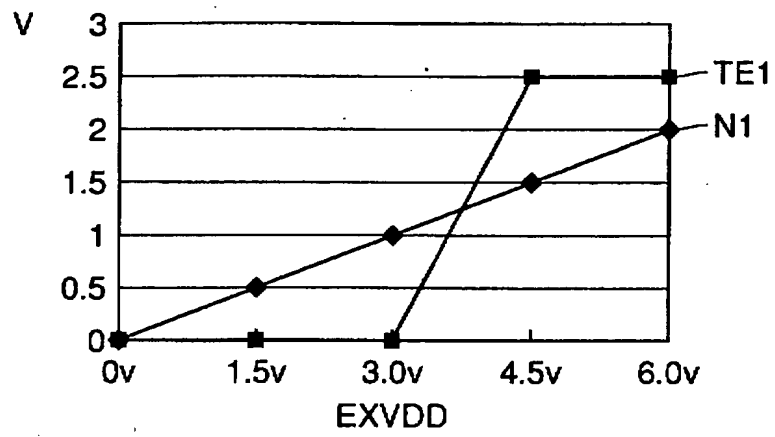
【図 4】



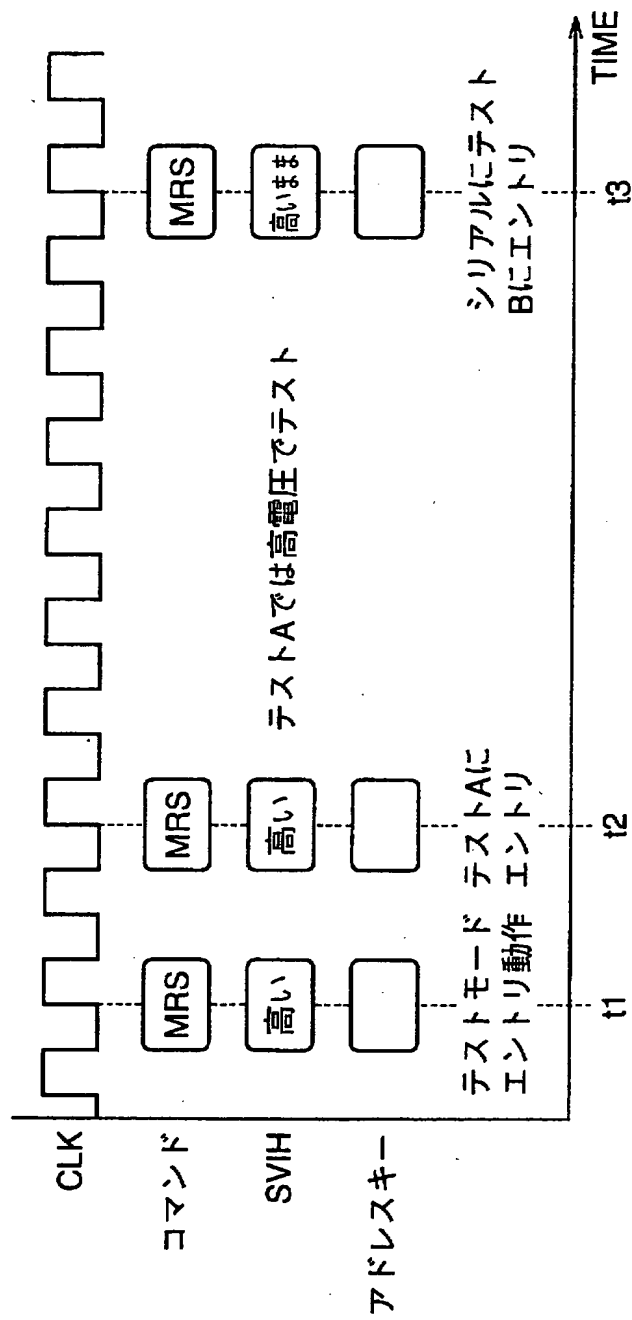
【図 5】

EXVDD	0V	1.5V	3.0V	4.5V	6.0V
N1	0	0.5	1	1.5	2
TE1	0	0	0	2.5	2.5

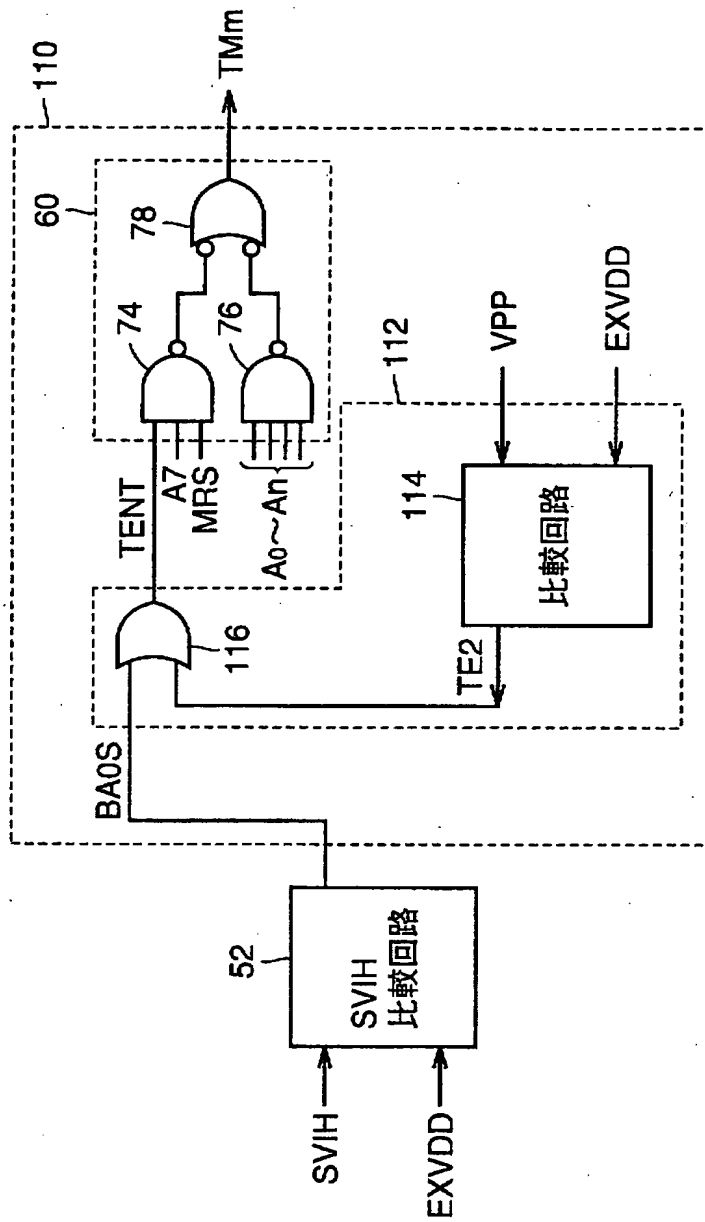
【図 6】



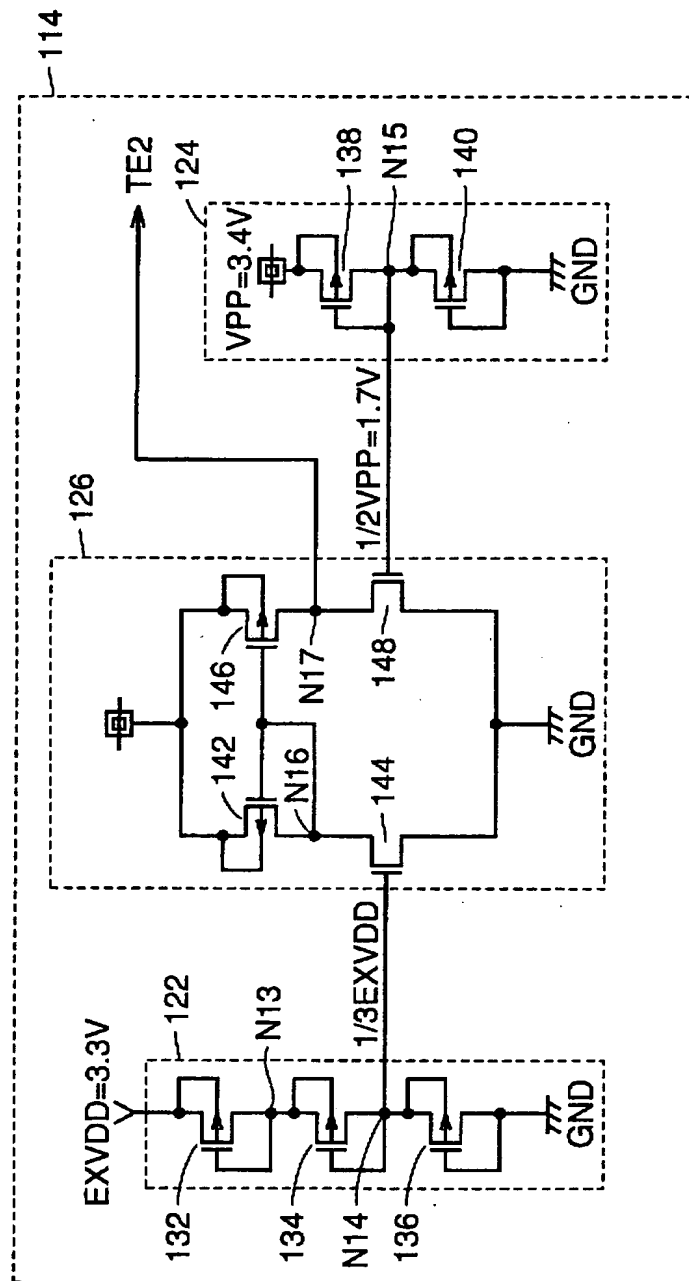
【図 7】



【図 8】



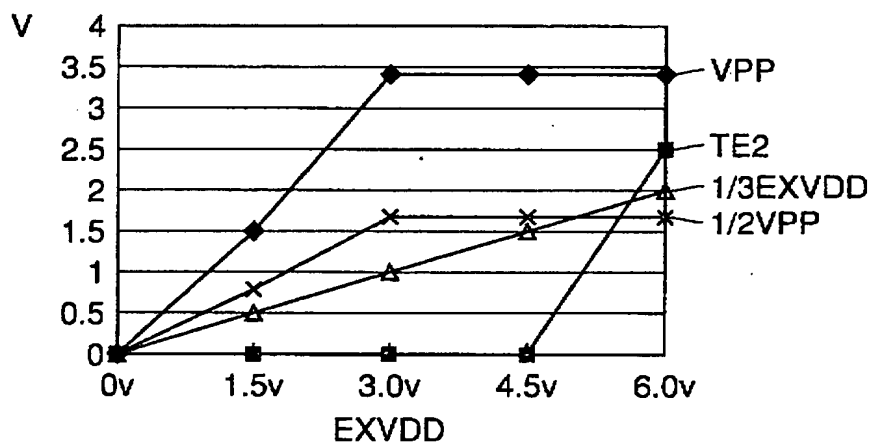
【図 9】



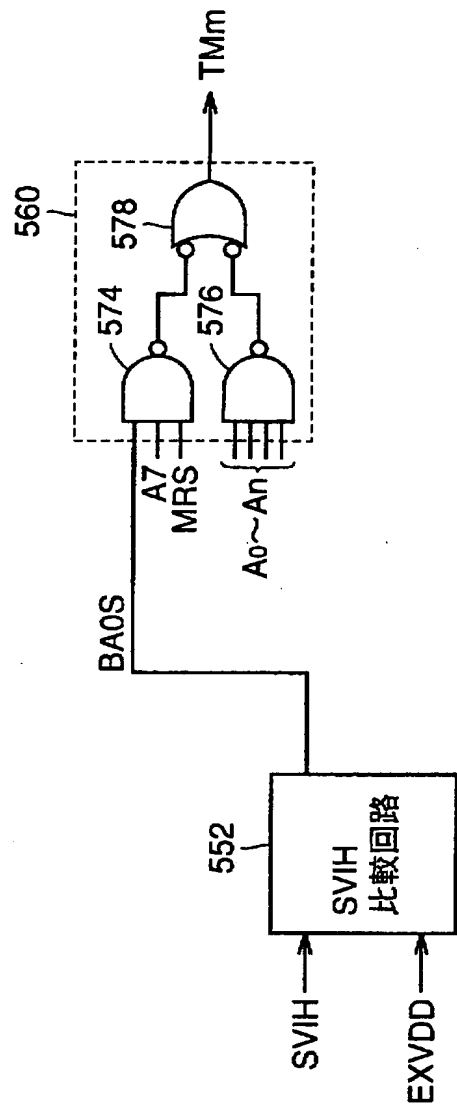
【図 10】

EXVDD	0V	1.5V	3.0V	4.5V	6.0V
VPP	0	1.5	3.4	3.4	3.4
TE2	0	0	0	0	2.5
1/3EXVDD	0	0.5	1	1.5	2
1/2VPP	0	0.75	1.7	1.7	1.7

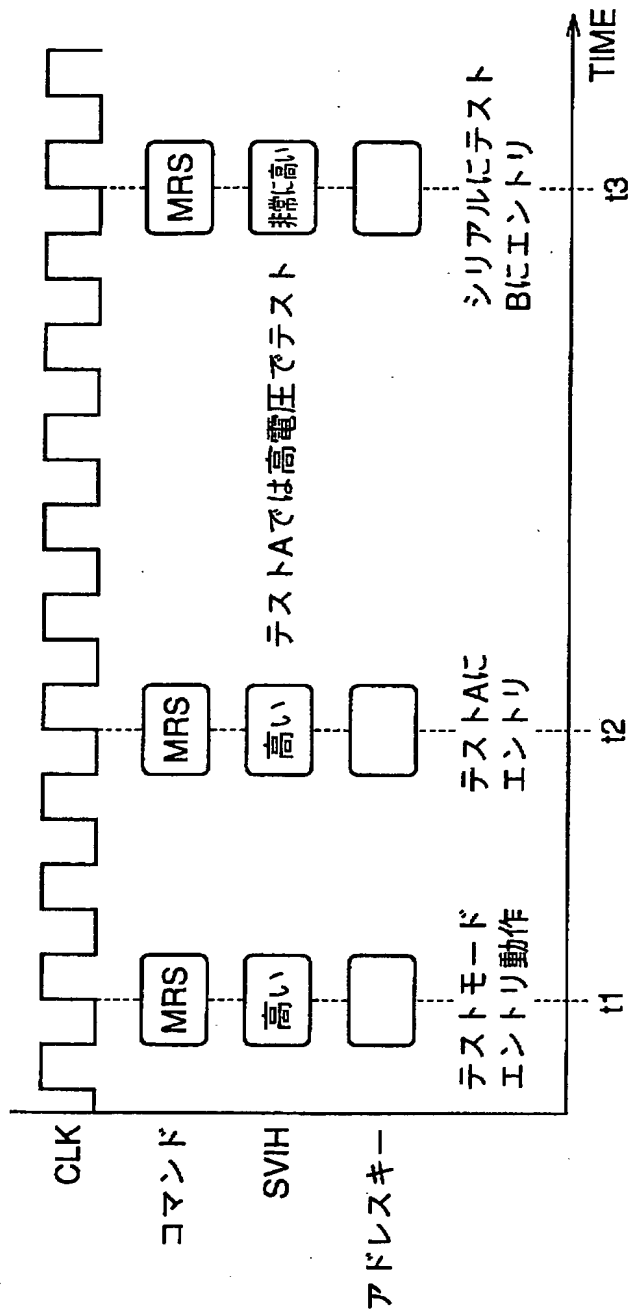
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 高い電源電圧を印加する試験を行なっている場合にアドレスキーによってテストモードの設定が可能な半導体装置を提供する。

【解決手段】 テストモード信号発生回路 5 6 に外部電源電位 E X V D D が所定の電位を超えたことを検知するテスト設定制御部 5 8 を設ける。外部電源電位 E X V D D が所定の規格範囲を超える高い電位である場合には、テストモードに設定する信号 S V I H を高電位にすることなくテストモードへのエントリが可能となる。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社